

⑫ 公開特許公報(A) 平3-101441

⑤ Int. Cl.³

識別記号

庁内整理番号

④ 公開 平成3年(1991)4月26日

H 04 L 12/48
H 04 Q 3/52

1 0 1 Z

8843-5K
7830-5K

H 04 L 11/20

Z

審査請求 未請求 請求項の数 8 (全13頁)

⑭ 発明の名称 スイッチングシステム

⑮ 特 願 平1-237051

⑯ 出 願 平1(1989)9月14日

特許法第30条第1項適用 1989年8月15日 社団法人電子情報通信学会発行の「1989年電子情報通信学会秋季全国大会講演論文集(3)」において発表

⑰ 発 明 者 小 崎 尚 彦 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑰ 発 明 者 遠 藤 昇 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑰ 発 明 者 櫻 井 義 人 神奈川県横浜市戸塚区戸塚町216番地 株式会社日立製作所戸塚工場内

⑰ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑰ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称

スイッチングシステム

2. 特許請求の範囲

1. ヘッダ部と情報部からなる固定長のセルを用いて、 $m \times v$ (bps) のビットレート速度の入線M本と $n \times v$ (bps) のビットレート速度の出線N本との間で通信情報を該ヘッダ部に含まれる情報に基づき交換するスイッチングシステムにおいて、

上記入線に対して、1本の入線から $m \times v$ (bps) のビットレート速度のセルm個を入力すると、m本の出力リンクに分離し、各出力リンクに1セルずつ v (bps) のビットレート速度で出力するM個の第1の分離回路と、

上記第1の分離回路M個の出力、合計 ($m \times M$) 本を v (bps) のビットレート速度入力リンクとし、($n \times N$) 本の v (bps) のビットレート速度の出力リンクを持ち、入出力リンク間で通信情報を該ヘッダ部に含まれる情報

に基づき交換する第1のスイッチと、

上記第1のスイッチの出力リンクをn本ずつ入力し、 v (bps) のビットレート速度のセルをn多重し、 $n \times v$ (bps) のビットレート速度1リンクにし、上記各出線に出力するN個の第1の多重回路と、
から構成されることを特徴とするスイッチングシステム。

2. 請求項目第1項のスイッチングシステムにおいて、上記第1の分離回路は、入力リンクからのセルを到着順に各出力リンクへ出力し、上記第1のスイッチは、上記第1の多重回路の1つに接続されるn本の出力リンクにおいて、該スイッチの入力にセルが入力された順にセルを出力し、上記第1の多重回路は、各入力にセルが入力された順にセルを各出力に出力することにより、スイッチングシステムにおける各出線でのセルの到着順にセルが出力されることを特徴とするスイッチングシステム。

3. 請求項目第1項、または第2項のスイッチ

グシステムにおいて、上記第1のスイッチが、各入力リンクからのセルを入力順に時分割多重する第2の多重回路と、該多重回路から出力されたセルを格納するバッファメモリと、該バッファメモリから出力されたセルを各出力リンクへ時分割多重分離する第2の分離回路と、該バッファメモリにセルを格納するとき、セルのヘッダ部によりスイッチングシステム全体の出線を解析し、書き込みアドレスをバッファメモリに与え、第2の分離回路で出力するとき、その出線のタイミングに合わせてその出線のセルの格納されているアドレスを読み出しアドレスとしてバッファメモリに与える出線毎にアドレスを管理するバッファメモリ制御回路とから構成されることを特徴とするスイッチングシステム。

4. 請求項目第3項のスイッチングシステムにおいて、上記第1のスイッチの上記バッファメモリ制御回路が、出線に対応した2種類のレジスタの組（書き込みアドレスレジスタと読み出しアドレスレジスタ）と、メインバッファの使用

スレジスタには、次にスイッチに到着するセルを書き込むべきメモリ上のアドレスが格納されていて、読み出しアドレスレジスタを始点とし書き込みアドレスレジスタを終点とする出線毎にチェーンを形成するバッファリングを上記第1のスイッチが行うことを特徴とするスイッチングシステム。

5. 請求項目第3項のスイッチングシステムにおいて、上記第1のスイッチにおける上記第2の多重回路と上記バッファメモリと上記第2の分離回路をLSIにしたことを特徴とするスイッチングシステム。
6. 請求項目第4項のスイッチングシステムにおいて、上記第1のスイッチのバッファメモリ制御回路の次アドレスメモリと、上記第1のスイッチにおける上記第2の多重回路と、上記バッファメモリと、上記第2の分離回路をLSIにしたことを特徴とするスイッチングシステム。
7. 請求項目第5項、または第6項のスイッチングシステムにおいて、上記LSIを、上記第1

していない空アドレスを格納する空アドレスFIFO (First In First Out Buffer) と、次に読み出すべきセルのアドレスを格納する次アドレスメモリとから構成され、セルを上記メモリに書き込むときは、そのセルの出線に対応する書き込みアドレスレジスタから書き込みアドレスを出力し、同時に空アドレスFIFOから出力されるアドレスを上記次アドレスメモリと書き込みアドレスレジスタに書き込み、セルをメモリから読み出すときは、そのセルの出線に対応する読み出しアドレスレジスタから読み出しアドレスを出力し、空アドレスFIFOは該読み出しアドレスを入力し、同時に次アドレスメモリから読み出される次アドレスを読み出しアドレスレジスタに書き込むことにより、各出線において、読み出しアドレスレジスタに、上記メモリと上記次アドレスメモリにそれぞれ最初に読み出すべきセルデータと次アドレスとが書き込まれているアドレスが格納されていて、書き込みアドレ

スのスイッチの入出力リンクのビット対応に、ビット数分にLSI分割したことを特徴とするスイッチングシステム。

8. 請求項目第1項、第2項、第3項、第4項、第5項、第6項、または第7項のスイッチングシステムにおいて、ヘッダ部に論理チャネル番号を持つセルをスイッチングシステムの入線から入力し、

該論理チャネル番号からそのセルの出線を選び、該出線番号をスイッチングシステム内で使用するスイッチ内ヘッダとしてセルに付加する出線番号付加器と、該論理チャネル番号をそのセルが出線で使用する論理チャネル番号に変換する論理チャネル番号変換器を、上記第1の分離回路の入力に設けたことを特徴とするスイッチングシステム。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、ルーティングのためのヘッダを有する固定長セルを用いた音声、データ等の時分割多

重通信情報を交換するスイッチングシステムに係り、特に音声等の回線交換に本来適した情報とデータ等のパースト的に発生する情報を統合して交換するのに好適なスイッチングシステムに関する。
【従来の技術】

典型的な電話音声のビット速度(64 Kb/s)のみならず、低速(数100 b/s)データからビデオ信号(数Mb/s)までの、様々なビット速度、様々な性質(パースト性、実時間性等)を持った通信を統合して取り扱える、柔軟かつ経済的なスイッチングシステムが求められている。

このような要求に対して、ルーティングのための情報を含んだヘッダをもつ固定長のセルを用いて、全ての情報を画一的にスイッチングする方法が、1つの有望な案である。例えば、本出願人によりすでに提案されている、論文「電子情報通信学会創立70周年記念総合全国大会(昭和62年)交換部門1832『回線/パケット統合通話路の検討』」に示されているスイッチングシステムは、その1つである。上記スイッチングシステムでは、

交換モードの2種類の性質を持った通信を扱うという概念は明示されていないが、固定長セルを、バッファメモリを用いて時間的に入れ替える機能を有している。その際に、セルの待合せとスイッチングは同一のバッファメモリを用いる。待合せを実現するために、セルを書き込むバッファメモリのアドレスを、セルの宛先別に格納しておく待行列手段が設けられている。

【発明が解決しようとする課題】

固定長セルを用いてスイッチングを行う場合、各セルの宛先が必ずしも平均的に分布していないため、同一宛先へ向けたセルが一時的に集中し、輻輳状態となったり、メモリのオーバーフローによりセルが消失してしまうことが起こりえる。上記の最初に挙げた、本出願人による論文では、輻輳状態回避のためのバッファメモリを、各宛先出線別に設けている。このバッファメモリは、セル全体を格納するもので、かつ、オーバーフローしただけ多数のセルを格納するものである必要があり、しかも宛先毎に個別に設けなければならない

全ての通信情報を、セルとよばれる固定長ブロックを用いて転送する。そのスイッチングに当たっては、ヘッダ駆動型の空間スイッチを基本とし、同一宛先を持つ複数のセルが空間スイッチ内で衝突するのを避けるため、入線毎に時間スイッチ機能を設けた構成をとっている。さらにその時間スイッチ機能には、電話音声のように実時間性が要求される回線交換モードと、遅延はある程度許されるが、パースト的に発生するデータを送るパースト交換モードの2つのモードを扱うことができるように、スイッチングのためのメモリと、待合せのためのバッファメモリが設けられている。回線交換モード用セルは、実時間性を保証するためにバッファメモリを介さず、優先して取り扱い、一方パースト交換モード用セルは、バッファメモリで待合せ、タイムスロットに空があるときに処理される。

他の例として特開昭59-135994号公報に示される「TDMスイッチングシステム」が挙げられる。本例では、回線交換モードとパースト

い。したがって、この構成では、大量のメモリを必要とするという問題がある。

一方、2番目の例に挙げたスイッチングシステム(特開昭59-135994号)では、バッファメモリは全入力に対し1つであり、バッファメモリのアドレスだけを記憶する待行列手段がセルの宛先別に複数設けられている。この構成では、比較的少ないメモリ量で各セルの宛先の偏りは吸収されえる。しかしながら、バッファメモリの書き込みアドレスは周期的に用いられるため、論理的にはバッファメモリは各宛先対応に固定的に分割されているのと同等であり、ある待行列の待ちが一定量を越えると、読み出されていないセルがまだ残っているにもかかわらず、同一の書き込みアドレスが使われ、バッファメモリの上書きが起こる。このとき上書きされたセルは消失してしまうという問題がある。

これらの問題点を解決するために、出願人は、特願昭63-102512号において、複数の入線を時分割多重し、到着したセルをバッファメモ

リに書き込み、これを適当な順序で読み出し、多重分離し、複数の出線に振り分けることによって交換動作を行うスイッチングシステムにおいて、バッファメモリの空アドレスを格納しておくFIFO(First In First Out)バッファ(空アドレスFIFOと称する)と、使用中アドレスを出線対応に管理する手段を設け、バッファメモリへのセルの書き込み時には、上記空アドレスFIFOのデータ出力から空アドレスを取り出し、バッファメモリからのセルの読み出し時には、読み出しが終わったアドレスを上記空アドレスFIFOデータ入力へ戻す、空アドレスチェーンを持つようにした。

上記構成のスイッチングシステムによれば、セルが到着し、これをバッファメモリに書き込む際には、そのセルの宛先出線に関係なく、1つの空アドレスFIFOから空アドレスを得るため、バッファメモリに空がある限りバッファメモリ内のどの領域でもセルを書き込むことができる。到着するセルの宛先が特定の出線へ偏っていたとして

も、その分は他の宛先へのセルが減少しているはずなので、必要となるバッファメモリの全体の容量は変わらない。

また、セルを読み出すまでは、そのセルが格納されているアドレスは空アドレスFIFOに戻らないので、同一アドレスにセルが上書きされてそこに格納されていたセルが消失してしまうことはないという利点がある。

ところで、固定長のセルを用いてスイッチングを行う広帯域交換システムでは、リンク速度が約150Mbpsである場合と、その4倍の600Mbpsである場合がある。しかし、スイッチングシステムをCMOS技術でLSI化する場合、8ビットパラレルでリンク速度150Mbpsを実現することができるが、このLSIでそのまま4倍のリンク速度600Mbpsを実現することは困難であり、これをそのまま実現するには違う技術でLSIを再開発する必要がある。

本発明の目的は、バッファメモリを出線間で共有する方式において、リンク速度150Mbps

用に関連されたスイッチのLSIに対し、一部の回路変更と回路追加を行うことにより、リンク速度600Mbpsのスイッチを実現できるようにすることである。

【課題を解決するための手段】

出願人が特願昭63-102512号において、^{不図示}スイッチの複数の入線を時分割多重し、到着したセルをバッファメモリに書き込むが、時分割多重器(多重回路)として各入力セルの入力タイミングを少しづつずらし、その入力順にセルを多重出力するものを使用する。このようにすれば、セルは到着順にバッファメモリに格納できる。

また、バッファメモリから適当な順序で読み出したセルは多重分離し、複数の出線に振り分けられるが、多重分離器(分離回路)として、上記多重回路と逆の動作をするもの、即ち、到着したセルを複数の出線に振り分けるときに各セルの出力タイミングを到着順に少しづつずらして出力するものを使用する。このようにすれば、セルはバッファメモリからの出力順に複数の出線に振り分け

ることができる。

このスイッチで、入力リンク速度を150Mbpsとし、このスイッチに一部回路変更と回路追加を行って入出力リンク速度600Mbps化する方法を考えてみる。

このスイッチで、150Mbpsの入力リンクを4本ずつ集め600Mbps/150Mbps変換器を接続する。該600Mbps/150Mbps変換器は600Mbpsで入力されるセルを、入力順に少しづつタイミングをずらしながら150Mbps4本に分離し、それぞれの出力が、スイッチ入力タイミングに合う入力リンクに接続する。このようにすれば600Mbpsリンクのリンクの入力順にバッファメモリにセルを格納できる。

逆に、このスイッチで、150Mbpsの出力リンクを4本ずつ集め150Mbps/600Mbps変換器を接続し、該150Mbps/600Mbps変換器で少しづつずれた入力タイミングのセルを入力順に多重出力する。このよう

にすれば、セルはバッファメモリからの出力順に600Mbps出力リンクに出力することができる。

さて、このスイッチは、バッファメモリの空アドレスを格納しておくFIFOバッファと、使用中アドレスを出線対応に管理する手段を設け、バッファメモリへのセルの書き込み時には、上記空アドレスFIFOのデータ出力から空アドレスを取り出し、バッファメモリのセルの読み出し時には、読み出しが終わったアドレスを上記空アドレスFIFOのデータ入力へ戻すようにして、バッファメモリを出線間で論理的に共有する方式である。このスイッチに150Mbps/600Mbps変換器と600Mbps/150Mbps変換器を設け入出力リンクを600Mbpsにした場合には、上記使用中アドレスを出線対応に管理する手段を、600Mbpsリンクの出線対応に管理する手段に変更すればよい。

【作用】

リンク速度150Mbpsのスイッチに、入力

で150Mbpsリンクに分離され、600Mbps出線リンク毎に対応する150Mbpsリンクが4本づつ集められ、上記150Mbps/600Mbps変換器で多重化され600Mbpsのセルとして出力される。分離回路は各方路に分離するが、分離したときのタイミングは、入力順に多重分離するので、バッファメモリの読み出し順序通りに600Mbps出力リンクにセルが出力される。

以上から、セルは入力順に600Mbps出力リンクから出力される。

【実施例】

第1図を用いて、本発明の概要を説明する。

第1図では、入出力リンク速度150Mbps 4入力4出力スイッチ用のバッファメモリ(BFM)LSIs 40、BFM制御(Control)LSI 5、及び空アドレスFIFO(IA B F(FIFO)) 61を利用し、更に300Mbps/150Mbps変換器(DMX) 31、32と150Mbps/300Mbps変換器

リンクのところに上記600Mbps/150Mbps変換器を、出力リンクのところに上記150Mbps/600Mbps変換器を付加し、使用中アドレスを出線対応に管理する手段を600Mbpsリンクの出線対応に管理する手段に変更すれば、上記スイッチはリンク速度600Mbpsのスイッチとして動作する。このとき、600Mbpsの出力リンクにおいて、セルは入力順に順序性を保って出力されなければならない。

上記600Mbps/150Mbps変換器は、600Mbpsのセルを順序性を保ちつつタイミングをずらしながら4方路に分け、150Mbpsリンクスイッチでは、そのタイミングの順序性を保ちながら時分割多重し、バッファメモリに入力するので、600Mbps入力リンクの入力順にセルをバッファメモリに格納できる。バッファメモリからセルを読み出すときには、600Mbpsリンクの出線対応に管理されていて、入力順に読み出される。600Mbpsリンクの出線対応に読み出されたセルは一旦分離回路

(MUX) 71、72を設けて、入出力リンク速度300Mbps 2入力2出力スイッチを構成した例である。

入力リンク#A、#Bは300Mbpsであり、入力リンク#AのセルAa、Abは、それぞれ出力リンク#a、#bに出力され、入力リンク#BのセルBa、Bbは、それぞれ出力リンク#a、#bに出力される。入力リンク#A、#B上のセルは、それぞれDMX 31、32を通して、2つのリンクに分けられ、それぞれ150Mbpsとなる。この2つのリンクに分けられたときの2つのセルのタイミングは、少しづつずれていて、300Mbpsの入力リンク上でセルの到着順にずれる構成となっている。4つのリンクから少しづつずれてBFM LSIs 40に入力されるセルは、BFM LSIs 40の中で多重化され、BFM LSIs 40内のバッファメモリに入力順に1セルずつ書き込まれる。バッファメモリのセル読み出しタイミングは、周期的な4つのタイミングに分けられ、それぞれのタイミングに対応

して、BFM LSI s 40の出力0～3にセルが出力される。バッファメモリ内で出力リンク# aに行くセルは、BFM LSI s 40の出力0、1に出力されるタイミングでバッファメモリから順に読み出され、出力0、1の順に150 M b p sで出力される。このBFM LSI s 40の出力0、1のセルは、MUX 71で到着順に多重化され300 M b p sで出力される。BFM LSI s 40のバッファメモリ内で出力リンク# bに行くセルも上記動作と同様であり、バッファメモリから読み出された後、BFM LSI s 40の出力2、3から出力され、MUX 72で多重化され出力リンク# bに出力される。

この構成では、DMX 31、32、MUX 71、72で各々セルの入力順に出力し、また、BFM LSI s 40では、出力0、1間においてセルを入力順に出力し、また、出力2、3間においてもセルを入力順に出力するので、出力リンク# a、# bでは、それぞれセルの入力順にセルが出力される。

カウンタ(OUT CNT) 62は、BFM LSI s 40の出力の番号に対応し、その番号の出力のセルをバッファメモリのタイミングに合わせてその番号を発生するものであり、カウンタ62の出力をデコーダ(OUT DEC) 54でデコードし、出力リンク# aに対応する番号0、1のときは、読み出しアドレスレジスタ(RA) 551から読み出しアドレスが出力され、また、出力リンク# bに対応する番号2、3のときは、読み出しアドレスレジスタ(RA) 552から読み出しアドレスが出力される。この読み出しアドレスはBFM LSI s 40の入力RAに入力され、バッファメモリ上のそのアドレスのセルが読み出され、カウンタ62の番号の出力に出力される。読み出しアドレスレジスタ(RA)から出力された読み出しアドレスはセル読み出し時に未使用アドレスとなり、空アドレスFIFO 61に入力される。バッファメモリからセル読み出し時にそのセルと共に出力される次アドレスは、BFM LSI s 40の出力NRAから出力され、読み

BFM LSI s 40のバッファメモリの制御を行うのは、BFM制御LSI 5と空アドレスFIFO 61である。BFM LSI s 40にセルが入力されると、1セルずつセルのヘッダが出力HDから出力され、デコーダ(RT DEC) 51でデコードされ、ヘッダが出力リンク# aを示すときは、書き込みアドレスレジスタ(WA) 521から書き込みアドレスが出力され、出力リンク# bを示すときは、書き込みアドレスレジスタ(WA) 522から書き込みアドレスが出力される。この書き込みアドレスは、BFM LSI s 40の入力WAに入力され、セルをバッファメモリの中に書き込むときのアドレスとなる。このとき、バッファメモリ上の未使用アドレスを格納している空アドレスFIFO 61から次アドレスを読み出し、書き込みアドレスを出力した書き込みアドレスレジスタ(WA)を更新し、また、次アドレスをBFM LSI s 40の入力NWAに入力し、セルを書き込んだアドレスにセルと共に書き込む。

出しアドレスを出力した読み出しアドレスレジスタ(RA)に格納される。

バッファメモリでは、バッファメモリ内のセルと同じアドレスに、次に読み出すべきセルのアドレス、すなわち次アドレスが格納されていて、バッファメモリからセルを読み出す毎に次に読み出すべきセルのアドレスが分かるようになっている。このように、バッファメモリは出力# a、# b毎に出力リンク別のチェーン管理が行なわれていて、どのバッファメモリのアドレスも出力リンク# a、# bのどちらにも使用できる。したがって、バッファメモリは、空アドレスFIFO 61の次アドレスがなくなるまでセルを格納でき、出力リンクに対して共通使用できる方式となっている。

入出力リンク速度300 M b p s 2入力2出力スイッチにする場合は、出力リンク# aへ行くセルは書き込みアドレスレジスタ(WA) 521、読み出しアドレスレジスタ(RA) 551が、また、出力リンク# bへ行くセルは書き込みアドレスレジスタ(WA) 522、読み出しアドレスレ

ジスタ(RA)552が管理している。入出力リンク速度150Mbps4入力4出力スイッチの場合には、書き込みアドレスレジスタ(WA)、読み出しアドレスレジスタ(RA)は、各出力0～3に対応して4つつつ持つBFM制御LSIが必要であり、このBFM制御LSIとBFMLSI40と空アドレスFIFO61とで構成できる。これを入出力リンク速度300Mbps2入力2出力スイッチにする場合には、BFM制御LSIを図1のBFM制御LSI5の構成とし、DMX31、32とMUX71、72を設ければよい。

以上、入力リンク速度300Mbps2入力2出力スイッチを入出力リンク速度150Mbps4入力4出力スイッチに一部回路変更、回路追加をして、構成する方法について簡単に述べたが、次に入出力リンク速度150Mbps8入力8出力スイッチを利用して、入力リンク速度600Mbps2入力2出力スイッチを構成する方法について、第2図から第9図を用いて詳述する。

てセルの出力先を決める。

多重回路41では、ヘッダ変換・ヘッダ付加テーブル21'～28'から出力されるセルを多重化し、1セルずつ出力する。第4図は、多重回路41の動作を示している。入力セルは、少しづつタイミングをずらし、そのずれた分の期間で1つのセル出力される。ここで多重回路41は、入力順にセルを出力する。

多重回路41から出力されたセルはバッファメモリ42に1セルずつ格納される。このとき、チェーン制御回路5'は、空ノ線と出線番号をそれぞれ入力WEとWOPに入力し、これに応じて書き込みアドレスを出力WAから出力する。該書き込みアドレスは、セルの格納されていないバッファメモリ42のアドレスを保持する空アドレスFIFO61から予め入力されたものである。該書き込みアドレスを用いてセルはバッファメモリ42へ書き込まれる。なお、セルが空の場合には、バッファメモリ42の入力WEが“0”となりセルがバッファメモリに書き込まれず、また、空ア

まず、従来の広帯域ISDN用交換機(ATMスイッチ)を、第2図から第6図を用いて説明する。

第2図は、ATMスイッチの全体構成図である。第2図で、O/E変換器11'～18'は150Mbpsで入力される光信号を電気信号に変換し、それぞれヘッダ変換・ヘッダ付加テーブル21'～28'へ出力する。

この出力データは、固定長パケット(セル)になっていて、そのフォーマットは、第3図(a)に示すように論理チャネル番号とデータから構成される。ヘッダ変換・ヘッダ付加テーブル21'～28'では、第3図(a)の構成のセルの論理チャネル番号を変換し、そのセルの先頭に付加ヘッダを付加し、第3図(b)に示すセルフォーマットにして出力する。第3図(b)の付加ヘッダで空ノ線は、“1”のとき有効データを持つセルを示し、“0”のとき空セル(有効データを持たないセル)を示す。出線番号は、セルの行き先を示す情報であり、第2図のATMスイッチにおい

ドレスFIFO61の読み出しクロックRもANDゲート63により“0”となり、空アドレスの出力も行われない。

セルのバッファメモリ42からの読み出しは、カウンタ62'が発生する数に応じてチェーン制御回路5'から読み出しアドレス(RA)を得て、これをバッファメモリ42の読み出しアドレス(RA)とすることでセルを読み出す。カウンタ62'の出力値は、出線番号に対応する。すなわち各出線毎に順番に1つつつセルが読み出されるわけである。読み出しアドレスとして使用したアドレスは、空アドレスFIFO61のデータ入力(DI)へ送られ、再度書き込みアドレスとして用いられる。なお、カウンタ62'が指定した出線番号のセルが、バッファメモリ42内に1つも存在しないときは、読み出しイネーブル信号(RE)が“0”となり、バッファメモリ42からセルは読み出されない。

空アドレスFIFO61のデータ出力(DO)は、セルと一緒にバッファメモリ42内に格納す

る。これはそのセルと同じ出線の、次のセルの格納アドレスを示すためのものである。チェーン制御回路5'についての詳しい動作説明は、後で第5図を用いて行う。

バッファメモリ42から読み出されたセルは、分離回路43でカウンタ62'の指示する出線に振り分けらる。この動作は、第4図で示した多重回路41と逆の動作であり、分離回路43は1つつつ到着するセルを各出線にタイミングをずらしながら出力する。分離回路43から出力されたセルは、E/O変換器81'~88'で電気信号から光信号に変換され150Mbpsで出力される。

次に、第5図を用いてチェーン制御回路5'を説明する。書き込みアドレスレジスタ(WAR)521~528は、出線毎に設けられていて、入力WOPから入力される出線番号に対応するWARがデコーダ51'により書き替え可能となる。ただし、入力WEが“0”のとき、すなわちセルが空であるときは、デコーダ51'によりWARは選択されず、どのWARも書き替わらない。入

各出線のアドレスチェーンは、RARが始点となり、WARが終点となり、バッファメモリからセルを読み出す毎に次アドレスが読み出せる構成となっていて、WARとRARが一致するときはその出線にセルが1つもないことを示す。不一致検出回路561~568は、各出線毎に設けられていて、WARの値とRARの値が一致するとき、即ちその出線のセルがないときは、“0”を出力し、WARの値とRARの値が不一致のとき、即ちその出線にセルが存在するときは、“1”を出力する。不一致検出回路の値は、入力ROPの出線番号に応じてセクタ58'によって選ばれ、出力REから出力され、バッファメモリからセルを読み出すか否かを制御する。このとき、デコーダ54'にも制御を加え、もしセクタ58'の出力が“0”ならば、読み出し操作は行わないので、デコーダ54'はRARに書き替えを行わせない。

第6図は、第2図の多重回路41、バッファメモリ42、および、分離回路43をバッファメモ

リWOPの出線番号に対応するWARは、その値をセクタ53'を通してWAへ出力すると同時に、入力NWAに入力された、空アドレスFIFOからの次アドレスを取り込む。この動作により、バッファメモリの書き込みアドレスに書き込まれた次アドレスとWARの値が同じになり、このWARに対応する出線のアドレスチェーンは1つだけのびる。

読み出しアドレスレジスタ(RAR)551~558は、出線毎に設けられていて、入力ROPから入力される出線番号に対応するRARがデコーダ54'により書き替え可能となる。このRARは、その値をセクタ57'を通してRAへ出力すると同時に、入力NRAに入力された、バッファメモリからの次アドレスを取り込む。この動作により、バッファメモリの読み出しアドレスにある次アドレスをその出線において次に読み出すべきアドレスとしてRARに格納することにより、このRARに対応する出線のアドレスチェーンは1つ分だけ減る。

リLSI401~408としてLSI化する場合の構成図である。バッファメモリ42は各出線に行くセルを格納する場所であり、複数の入線から1つの出線にセルが集中した場合には非常に多くのセルがバッファメモリに蓄積するので、バッファメモリの容量はできるだけ大きい方がよい。したがって、この部分を複数のLSIで構成してメモリ量の大容量化、ハードウェアの小型化を行うことでスイッチの特性を改善できる。バッファメモリ42に多重回路41と分離回路43を加えたものは、ヘッダ変換・ヘッダ付加テーブル21'~28'からの入力データとE/O変換器81'~88'への出力データをそれぞれ8ビットに分け、バッファメモリLSIをビットスライスにすれば、バッファメモリLSI間の信号線はほとんどなくなる。

第6図において、チェーン制御回路5'、カウンタ62'、ANDゲート63、64、および、空アドレスFIFO61も別の1つまたは複数のLSIで構成すれば、バッファメモリLSIとの

信号線は、空／迄と出線番号からなる付加ヘッダ線、書き込みアドレス線、読み出しアドレス線、空アドレス FIFO 61 からの次アドレス線、バッファメモリ 42 からの次アドレス線、および、カウンタ 62' からの出線番号線であり、LSI 間の切り分けが行いやすい。

なお、O/E 変換器 11' ~ 18'、ヘッダ変換・ヘッダ付加テーブル 21' ~ 28'、および、E/O 変換器 81' ~ 88' は、入出力線毎にまとめると、切り分けが行いやすい。

第 6 図で、交換機全体の入出力線の速度が 150 Mbps のとき、バッファメモリ LSI の多重回路 41 入力、および、分離回路 43 出力は、約 20 Mbps であり、バッファメモリ LSI は CMOS 技術で製造できる。しかし、交換機全体の入出力線の速度が 600 Mbps になると、バッファメモリ LSI の多重回路 41 入力、および、分離回路 43 出力は、75 Mbps となり、このままではバッファメモリ LSI はこの動作速度について行けなくなる。そこで、次に、第 2 図また

は第 6 図の従来構成の交換機に一部回路変更と回路追加を行うことにより、入出力線速度 600 Mbps を実現する本発明の方法について説明する。

第 7 図は、本発明の交換機の一実施例である。第 2 図では、入出力線速度 150 Mbps、入線 8 本出線 8 本であり、スループットは 1.2 Gbps (150 Mbps × 8) である。第 7 図では、入出力線速度 600 Mbps、入線 2 本出線 2 本であり、スループットは第 2 図の交換機と同じである。第 7 図は、第 2 図に対し、O/E 変換器 11、12、ヘッダ変換・ヘッダ付加テーブル 21、22、および、E/O 変換器 81、82 を 600 Mbps の処理能力を持たせ、600 Mbps / 150 Mbps 変換器 31'、32' と 150 Mbps / 600 Mbps 変換器 71'、72' を設け、チェーン制御回路 5'' を 2 入力 2 出力用に変更したものである。

600 Mbps / 150 Mbps 変換器 31'、32' の動作について、第 8 図を用いて説明する。600 Mbps / 150 Mbps 変換器 31'、

32' は、600 Mbps で順番に到着するセルを、150 Mbps にして 4 出力に順番に振り分ける。各出力されたセルの出力タイミングはセル長の 4 分の 1 ずつずれる。これは、600 Mbps / 150 Mbps 変換器 31'、32' で、入力されたセルが 1 セル分蓄積したらすぐに出力すれば、このタイミングとなる。

600 Mbps / 150 Mbps 変換器 31' に対し 32' のタイミングを 8 分の 1 ずらし、600 Mbps / 150 Mbps 変換器 31' の出力を多重回路 41 の入力 1、3、5、7 に接続し、600 Mbps / 150 Mbps 変換器 32' の出力を多重回路 41 の入力 2、4、6、8 に接続すれば、多重回路 41 の入力第 4 図に示すタイミングになる。なお、600 Mbps / 150 Mbps 変換器 31'、32' と多重回路 41 では、セルの到着した順に出力されるので、各入線 111、112 に到着した順にセルはバッファメモリ 42 に格納される。

バッファメモリ 42 から順に読み出されたセル

は、分離回路 43 で振り分けられ、出力 1、3、5、7 は 150 Mbps / 600 Mbps 変換器 71' へ、出力 2、4、6、8 は 150 Mbps / 600 Mbps 変換器 72' へセルを転送する。分離回路 43 のセル出力タイミングは、第 4 図の左側のタイミングであり、150 Mbps / 600 Mbps 変換器 71'、72' のセル入力タイミングは、第 8 図の右側のタイミングとなる。150 Mbps / 600 Mbps 変換器 71'、72' の動作は、600 Mbps / 150 Mbps 変換器 31'、32' の動作と逆であり、第 8 図の右側のタイミングで到着したセルを左側のタイミングでセルを出力し、150 Mbps 4 本の入力を 600 Mbps 1 本の出力に変換する。分離回路 43 と 150 Mbps / 600 Mbps 変換器 71'、72' は、入力順にセルを出力し、セルはバッファメモリ 42 から出力された順番を守りながら出力線 121、122 から出力される。

第 7 図のチェーン制御回路 5'' は、カウンタ 62' の出力が 1、3、5、7 のときに出力線 12

1へ行くセルの読み出しアドレスを出力し、カウンタ62'の出力が2、4、6、8のときに出力線122へ行くセルの読み出しアドレスを出力することにより、分離回路43の出力1、3、5、7に出線121のセルを、出力2、4、6、8に出線122のセルを出力させる。

第9図は、第7図のチェーン制御回路5"の構成図である。書き込みアドレスレジスタ(WAR)521、読み出しアドレスレジスタ(RAR)551、および、不一致検出回路561は、出線121のセルのアドレスチェーン管理を行い、書き込みアドレスレジスタ(WAR)522、読み出しアドレスレジスタ(RAR)552、および、不一致検出回路562は、出線122のセルのアドレスチェーン管理を行う。

デコーダ51'、WAR521、522、および、セクタ53は、第5図のものと同じ動作である。

読み出しアドレスレジスタ(RAR)551は、入力ROPから入力されるカウンタ値が1、3、

5、7のとき、デコーダ54、ORゲート591により書き替え可能となる。読み出しアドレスレジスタ(RAR)552は、入力ROPから入力されるカウンタ値が2、4、6、8のとき、デコーダ54'、ORゲート592により書き替え可能となる。書き替え可能となっているRARは、書き替え前の値をセクタ57を通してRAへ出力すると同時に、入力NRAに入力された、バッファメモリからの次アドレスを取り込む。

第7図では、第6図に示したバッファメモリLSI401~408を性能を替えることなくそのまま使用することができる。また、空アドレスFIFO61、カウンタ62'、および、ANDゲート63、64はそのまま使用でき、チェーン制御回路5"も小変更で使用できる。

【発明の効果】

本発明によれば、入出力リンク速度150Mbpsのバッファメモリを出線間で共有する方式のスイッチに対し、入力リンクに600Mbps/150Mbps変換器を接続し、出力リンクに

150Mbps/600Mbps変換器を接続し、バッファメモリのアドレス管理を600Mbps出線リンク対応に管理するようにすれば、全体として600Mbpsの入出力リンクを持つスイッチとなる。

このようにすれば、入出力リンク速度150Mbpsのスイッチにおいて、バッファメモリと、各入力リンクを多重しバッファメモリに1セルずつ格納するための多重回路と、バッファメモリからのセルを各出力リンクに分ける分離回路はそのまま使用し、その他の部分は追加、変更するだけで600Mbpsの入力リンクスイッチができる。特にバッファメモリ、多重回路、分離回路をLSI化すれば、この部分がそのまま600Mbps入力リンクスイッチに使用でき、新たに開発する部分が少なくて済む。

4. 図面の簡単な説明

第1図は入出力リンク速度150Mbps4入力4出力スイッチを利用して構成した入出力リンク速度300Mbps2入力2出力スイッチの一

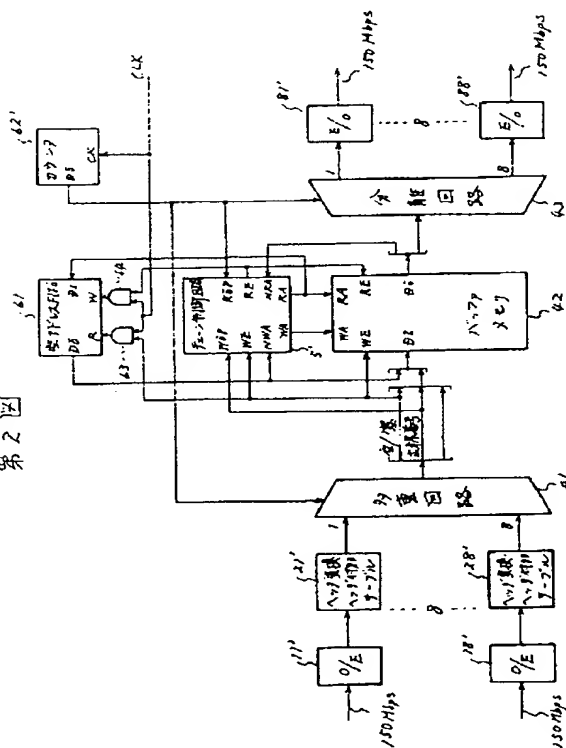
実施例を示す図、第2図は、入出力リンク速度150Mbpsのスイッチの一実施例を示す図、第3図(a)は、第2図、または、第7図における入出力リンクにおけるセルフフォーマットを示す図、第3図(b)は、ヘッダ変換ヘッダ付加テーブル通過後のセルフフォーマットを示す図、第4図は、第2図、または、第7図における多重回路の動作説明図、第5図は、第2図におけるチェーン制御回路の一実施例を示す図、第6図は、第2図のスイッチをLSI分割した場合の一構成法を示す図、第7図は、入出力リンク速度600Mbps2入力2出力スイッチの一実施例を示す図、第8図は、第7図の600Mbps/150Mbps変換器の動作説明図、第9図は、第7図のスイッチの場合のチェーン制御回路の一実施例を示す図である。

符号の説明

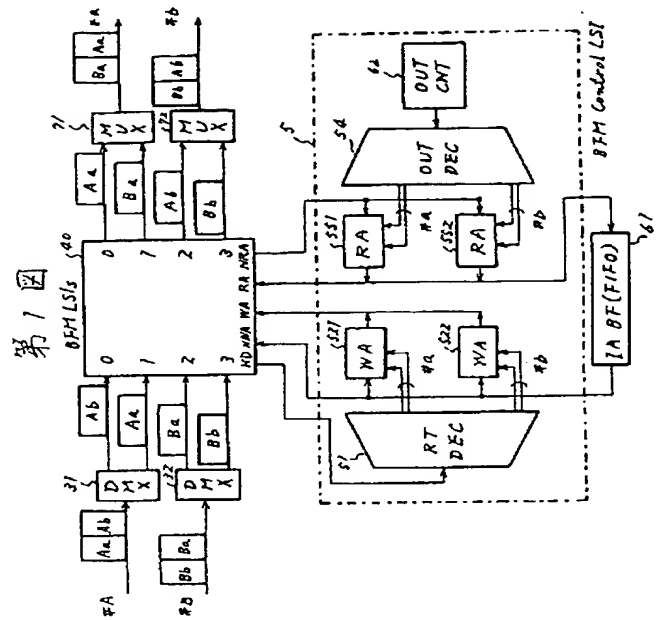
111、112…600Mbps入力リンク、
121、122…600Mbps出力リンク、
11、12、11'~18'…O/E変換器、
21、22、21'~28'…ヘッダ変換ヘッダ

付加テーブル、31, 32...300Mbps / 150Mbps 変換器 (DMX)、31', 32' ...600Mbps / 150Mbps 変換器、40, 40' ...バッファメモリ (BFM) LSI s、41...多重回路、42...バッファメモリ、43...分送回路、5...BFM制御 (Control) LSI (チェーン制御回路)、5', 5''...チェーン制御回路、61...空アドレス FIFO、62, 62'...カウンタ、63, 64...ANDゲート、71, 72...150Mbps / 300Mbps 変換器、71', 72' ...150Mbps / 600Mbps 変換器、81, 82, 81' ~ 88' ...E/O変換器、51, 54, 51', 54' ...デコーダ、521~528...書き込みアドレスレジスタ、53, 57, 58, 53', 57', 58' ...セクタ、551~558...読み出しアドレスレジスタ、561~568...不一致検出回路、591, 592...ORゲート、401~408...バッファメモリ LSI

第2図

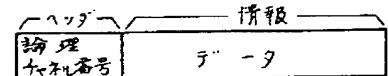


第1図

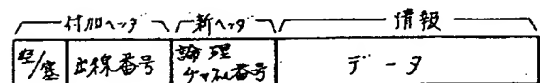


第3図

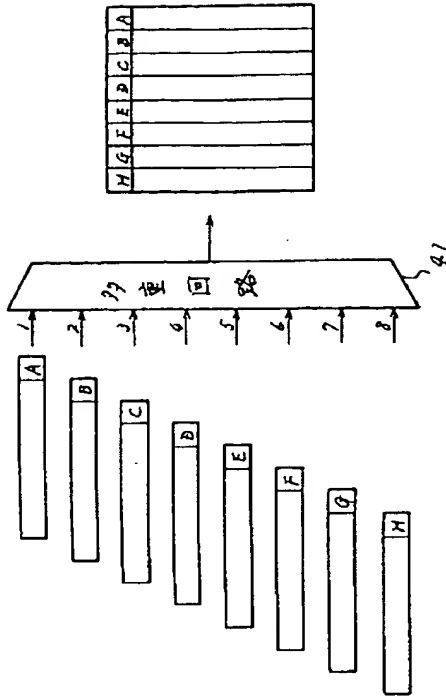
(a)



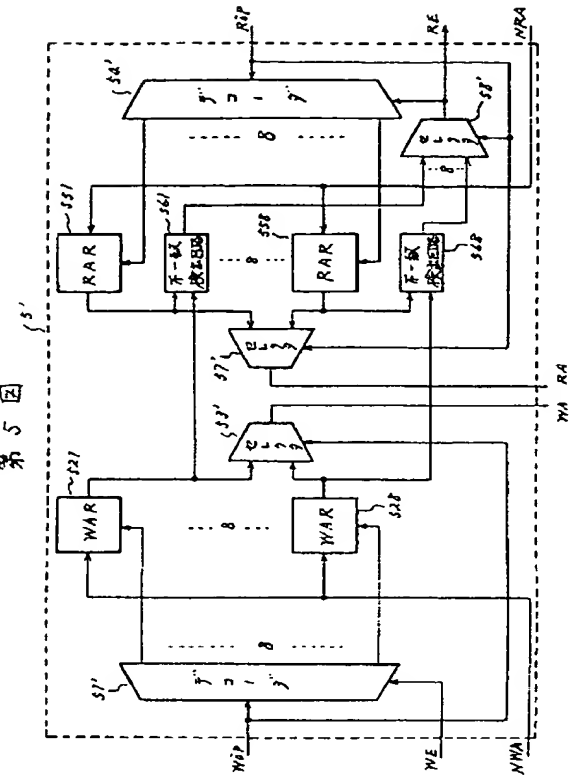
(b)



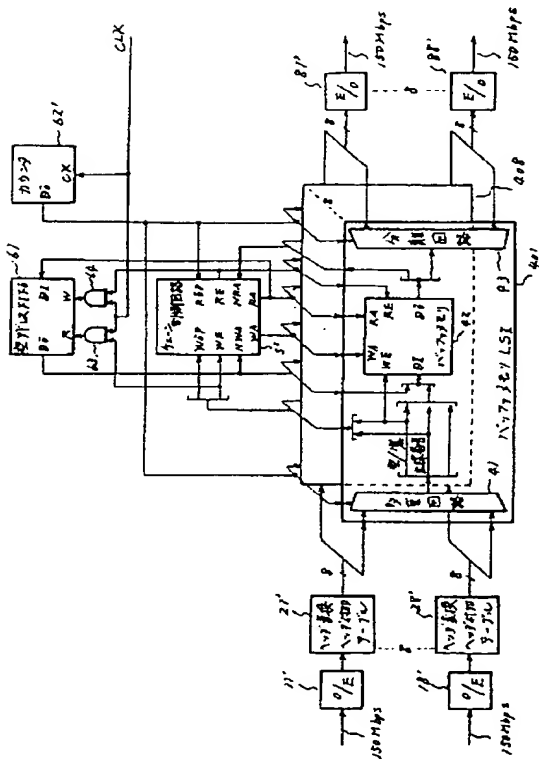
第4図



第5図



第6図



第7図

